

Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION
Publication No. 2002-026236

[0046] to [0054]

[0046]

[Embodiments] First Embodiment

Figure 1 shows a schematic sectional view showing the first embodiment of the present invention. In the drawing, reference number 1 denotes a Si chip which is the first semiconductor device, reference number 2 denotes solder balls provided on the electrode part of the first semiconductor device, reference number 3 denotes an under-filling material for adhering the first semiconductor device, reference number 4 denotes a Si chip which is the second semiconductor device, reference number 5 denotes a die bonding material for adhering the second semiconductor device to the reverse of the first semiconductor device, reference number 6 denotes a gold wire, reference number 7 denotes a substrate on which a wiring is formed, the substrate including an electrode part connected to the first and the second semiconductor devices, reference number 8 denotes a resin for sealing the first and the second semiconductor devices.

[0047] In the present embodiment, the first semiconductor device 1 having the solder balls 2 formed on the electrode part thereof on a printed circuit board having a thickness of 0.1 to 0.8 mm, on which a wiring is formed, is firstly positioned so that the electrode part of the substrate 7 faces solder balls 2. Thereafter, the first semiconductor device 1 and the substrate 7 are heated to not lower than a temperature at which the solder material of each solder ball melts, so that the electrode part of the substrate 7 is diffused-joined to the solder balls 2.

[0048] Although the size of each solder ball is changed according to the pitch of the electrode part of the first semiconductor device, the solder ball usually has a diameter which is approximately half (50 to 60 %) the pitch

of the electrode part. For example, when the pitch of the electrode is 200 μ m, the solder ball has a diameter of 100 to 120 μ m as one guide of the size.

[0049] Further, as the composition of the solder material of the solder balls, a general eutectic solder, or solders having other distribution ratios, such as a SnPb solder, a SnAg solder, a SnAgCu solder, or a SnAgBi solder, can be used.

[0050] Next, after a flux component for removing an oxide film at melting, which remains around the joined solder balls 2 of the first semiconductor device 1, is removed by cleaning, and then, the under-filling material 3 made of an epoxy resin is put between the first semiconductor device 1 and the substrate 7, and is heated to approximately 100 to 150 °C to be cured.

[0051] Furthermore, after the die bonding adhesive 5 is applied onto the exposed reverse of the first semiconductor device 1 by a dispenser, the second semiconductor device 4 having a thickness of 0.20 mm to 0.40 mm is mounted thereon so that the reverse of the second semiconductor device 4 faces the reverse of the first semiconductor device 1, is heated to temperature of 100 to 200 °C, to heat and cure the die bonding adhesive 5.

[0052] Moreover, an electrode part on the surface of the second semiconductor device 4 is connected to a connection electrode part provided on the substrate 7 by wire bonding, using a gold wire of Φ 20 to 30 μ m.

[0053] Thereafter, a resin sealant made of an epoxy resin is applied around the first and the second semiconductor devices and the gold wire 6 by potting for protection thereof, and then, is cured by heating.

[0054] By providing the electrode part provided on the reverse of the substrate 7 with the solder balls, one semiconductor package is completed.

[0057] to [0058]

[0057] Second Embodiment

Figure 2 shows a schematic sectional view showing the second embodiment of the present invention. In the drawing, reference number 1 denotes the Si chip which is the first semiconductor device, reference number 2 denotes the solder balls provided on the electrode part of the

first semiconductor device, reference number 3 denotes the under-filling material for adhering the first semiconductor device, reference number 4 denotes the Si chip which is the second semiconductor device, reference number 5 denotes the die bonding material for adhering the second semiconductor device to the reverse of the first semiconductor device, reference number 6 denotes the gold wire, reference number 7 denotes the substrate on which a wiring is formed, the substrate including an electrode part connected to the first and the second semiconductor devices, reference number 8 denotes the resin sealant of the first and the second semiconductor devices. The first semiconductor device 1 and the second semiconductor device 4 are fixed so that the respective reverses thereof face each other.

[0058] In the present embodiment, a logic IC and a memory IC can be used as the first and the second semiconductor devices, respectively. Herein, a memory IC, which is larger than a logic IC, is mounted on a logic IC, the respective edges of the memory IC protruding from the logic IC. That is, the second semiconductor device 4 may include a plane on which a function element is formed, which is larger than a plane of the first semiconductor device 1 where a function element is formed.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026236

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 2000-203815

(71)Applicant : CANON INC

(22)Date of filing : 05.07.2000

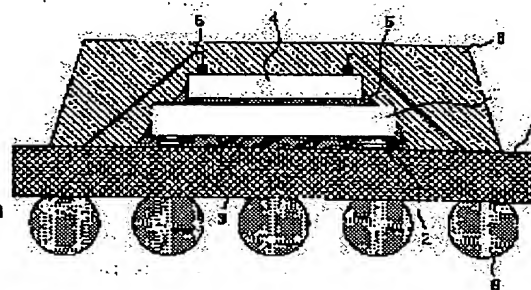
(72)Inventor : KONDO HIROSHI

(54) STRUCTURE AND METHOD FOR MOUNTING OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a mounting structure for a semiconductor element, wherein two semiconductor elements in arbitrary shapes can be mounted freely and at high density, it is possible to deal with high pin counts of the respective semiconductor elements, and a high speed can be realized by eliminating the defect of a conventional mounting structure in which a plurality of semiconductor elements are mounted on a board.

SOLUTION: In the mounting structure for the semiconductor elements onto a wired board, at least one as a first semiconductor element 1 is electrically connected to an electrode part for connection, which is installed on the board in such a way that the electrode part is faced with the board 7, at least one as a second semiconductor element 4 is mounted on the backside of the first semiconductor element 1 in such a way that their backsides are faced, and the electrode part of the second semiconductor element 4 and the electrode part for connection on the board 7 are electrically connected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-26236
(P2002-26236A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl.⁷

H 0 1 L 25/065
25/07
25/18

識別記号

F I

H 0 1 L 25/08

テーマコード(参考)

B

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願2000-203815(P2000-203815)

(22) 出願日 平成12年7月5日(2000.7.5)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 近藤 浩史

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100067541

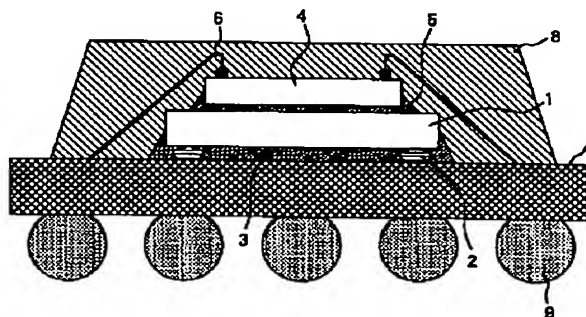
弁理士 岸田 正行 (外3名)

(54) 【発明の名称】 半導体素子の実装構造およびその実装方法

(57) 【要約】

【課題】 1枚の基板に複数の半導体素子を実装する従来の実装構造の欠点を解消し、任意のサイズの2つの半導体素子を自由に高密度に実装でき、さらに、それぞれの半導体素子の多ピン化に対応することが可能であり、さらに高速化が可能な半導体素子の実装構造を提供する。

【解決手段】 配線された基板への半導体素子の実装構造において、少なくとも1以上の第1の半導体素子1が、その電極部を基板に対向させる形で基板7に設けられている接続用電極部と電気的に接続され、かつ、該第1の半導体素子1の裏面上に、裏面同士が対向するように、少なくとも1以上の第2の半導体素子4が搭載され、該第2の半導体素子4の電極部と該基板7の接続用電極部が電気的に接続されていることを特徴とする半導体素子の実装構造。



【特許請求の範囲】

【請求項 1】 配線された基板への半導体素子の実装構造において、少なくとも 1 以上の第 1 の半導体素子が、その電極部を基板に対向させる形で基板に設けられている接続用電極部と電気的に接続され、かつ、該第 1 の半導体素子の裏面上に、裏面同士が対向するように、少なくとも 1 以上の第 2 の半導体素子が搭載され、該第 2 の半導体素子の電極部と該基板の接続用電極部が電気的に接続されていることを特徴とする半導体素子の実装構造。

【請求項 2】 前記第 2 の半導体素子は、第 1 の半導体素子の機能素子が作り込まれた面より大きい機能素子が作り込まれた面を有することを特徴とする請求項 1 に記載の半導体素子の実装構造。

【請求項 3】 前記第 1 の半導体素子と前記基板とが電気的に接続され、前記第 1 の半導体素子と前記基板との間が絶縁性樹脂により充填され前記第 1 の半導体素子が基板と固定されていることを特徴とする請求項 1 または 2 に記載の半導体素子の実装構造。

【請求項 4】 前記半導体の実装構造において、前記第 1 の半導体素子の電極部と基板の接続用電極部が異方性導電膜または異方性導電接着剤により電気的に接続されていることを特徴とする請求項 1 または 2 に記載の半導体の接続構造。

【請求項 5】 前記第 1 の半導体素子と第 2 の半導体素子がダイボンディングにより固定されていることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の半導体素子の実装構造。

【請求項 6】 前記第 1 および第 2 の少なくとも 1 以上の半導体素子が接続された前記基板を他の基板に接続することを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の半導体素子の実装構造。

【請求項 7】 配線された基板に少なくとも 1 以上の第 1 の半導体素子をフェイスダウン方式で接続する工程と、第 1 の半導体素子の裏面に少なくとも 1 以上の第 2 の半導体素子を裏面同士が対向するように搭載する工程と、第 2 の半導体素子の電極部と基板の接続用電極部を接続する工程と、半導体素子と基板を樹脂により封止する工程を有することを特徴とする半導体素子の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子を高密度に実装する半導体素子の実装構造およびその実装方法に関するものである。

【0002】

【従来の技術】従来、Si チップに代表される半導体素子は、リードフレームを有するダイパッド上に搭載され、半導体素子の電極部とリードフレームのリードとをワイヤーボンダーにより $\phi 20 \sim 100 \mu m$ の極細の金

線等を用いて接続された後、トランスファーモールドによって樹脂封止し、半導体装置である半導体パッケージを形成していた。

【0003】そして、半導体素子への回路素子の高集積化が進むにつれ、電極部の数が近年急速に増大し、半導体パッケージとしては、多ピン化していく一方であった。

【0004】一方、半導体素子を使用する機器は、より小型薄型化が求められたり、あるいは、より高機能な性能を要求されることから、機器メカとしては、半導体素子をより高密度に実装するため、より小型の半導体パッケージを求めてきた。

【0005】そこで、2 つ以上の半導体素子（半導体パッケージ）を実装するのではなく、米国特許第 5496967 号、米国特許第 5615089 号、米国特許第 5646828 号、米国特許第 5646829 号、米国特許第 5719440 号などに示されるように、1 つの半導体パッケージの中に複数の半導体素子（Si チップ）を内蔵させることにより、1 つは、製品に使用される際の実装面積（パッケージ面積）を削減し、2 つ目としては、パッケージ内部で半導体素子間の接続を行うことにより、パッケージの入出力ピン数を削減してパッケージサイズを減少させ、より高密度な実装をはかる方法が提案されてきている。

【0006】例えば、図 5 に米国特許第 5646828 号、米国特許第 5719440 号などで開示された従来の実装構造の模式的断面図を示す。図 5 中、51 は第 1 の半導体素子である Si チップ、52 は第 2 の半導体素子電極部に設けられたはんだボール、54 は第 2 の半導体素子である Si チップ、56 は金ワイヤー、57 は第 1、第 2 の半導体素子と接続される電極部を有し配線が形成された基板、58 は第 1、第 2 の半導体素子の封止用樹脂である。

【0007】図 5 に示す従来の実装構造では、まずダイボンディングペーストを基板 57 上に塗布し、その上に第 1 の半導体素子である Si チップ 51 を電極部が上になるようにマウントし、固着する。次にこの第 1 の半導体素子である Si チップ 51 表面に設けられた電極部と第 2 の半導体素子である Si チップ 54 の電極部に設けられたはんだボール 52 とを位置合わせし、両者を加熱することではんだボール 52 を熔融させ第 1 の半導体素子である Si チップ 51 の電極と第 2 の半導体素子である Si チップ 54 の電極とを接合する。つぎに、この第 1 の半導体素子である Si チップ 51 と第 2 の半導体素子である Si チップとの間にアンダフィル材と呼ばれる補強用樹脂を注入し硬化させる。その後、第 1 の半導体素子である Si チップ 51 のチップ周辺に設けられている外部との接続用電極と基板 57 上に設けられた電極とを金ワイヤーを用いたワイヤーボンディングにより接続し、これらの半導体素子や金ワイヤーを保護する目的で、トランスファーモ-

ルド法あるいはポッティング法、印刷法により封止樹脂により覆ってしまう。

【0008】図5に示した従来例は、半導体素子と半導体素子を直接接続することにより、半導体素子間の配線長を短縮することが可能となり、信号をより高速高周波で伝送させることが可能としている。

【0009】さらに、このような1つのパッケージ内に2つ以上の半導体素子を入れるものとして、図6に示すようなフラッシュメモリとS-RAMといった異なる半導体プロセスで製造された半導体素子を見かけ上1つの半導体素子のように実装することが可能となる。

【0010】図6中、61は第1の半導体素子であるフラッシュメモリ、64は第2の半導体素子であるS-RAM、66は金ワイヤー、67は第1、第2の半導体素子と接続される電極部を有し配線が形成された基板、68は封止用樹脂、69は半田ボールである。

【0011】図6においては、基板68上に第1の半導体素子であるフラッシュメモリ61をマウント後、フラッシュメモリ61の能動領域上に絶縁性の接着シートを貼り付け、その上に第2の半導体素子であるS-RAM64をマウントし固着させる。つぎに、S-RAM64の電極部に金ワイヤーとワイヤーボンダーを用いて金のボールバンプを形成する。つぎに、同様に金ワイヤーとワイヤーボンダーによるワイヤーボンディングにより、フラッシュメモリ61の電極部と基板67の電極、基板67の電極部とS-RAM64の電極部とを接続する。その際、第2の半導体素子であるS-RAM64と基板67との接続は、通常とは異なり金ワイヤー66のループ高さが高くなりパッケージ厚みが厚くなることを避ける目的で、基板67の電極側を1stボンディングとし、S-RAM64の電極部に設けられた金ボールバンプが2ndボンディングになるようにしてある。このようにそれぞれの半導体素子を基板67と接続した後、トランスファーモールド法により封止樹脂にて素子を封止する。なお、本従来例では、半導体パッケージであり、この後の2次実装にてメイン基板と接続されるため、メイン基板との接続用のはんだボール69を基板67の裏面側に設けられている電極部上に配置し、リフロー工程を用いて基板67の電極部と接続させてある。

【0012】

【発明が解決しようとする課題】しかしながら、上記従来例にある半導体素子の実装構造では、下記に述べるような問題点が存在した。

【0013】(1) 第1の半導体素子の能動領域(トランジスタが形成された領域)上に第2の半導体素子をマウントするため、第2の半導体素子をマウントする際わずかな素子の傾きや、第2の半導体素子を第1の半導体素子に接着する接着剤中に含まれる異物等により第1の半導体素子の能動領域を破壊してしまうことが多い。

【0014】(2) 第1、第2の半導体素子ともに電極

部は、同一方向を向いているため、それぞれの半導体素子の電極を接続させるには各々の電極部を露出させておかなければならず、そのため、必然的に第2の半導体素子は、第1の半導体素子の電極部が形成されている領域より小さくしなければならず、実装する半導体素子に対して大きさの制約が大きい。

【0015】さらに、第2の半導体素子をマウントする際に用いる接着剤が、マウント時に押しつぶされ広がるが、この広がった接着剤が、第1の半導体素子の電極部に達しないようにしなければならず、第2の半導体素子の大きさは、第1の半導体素子に比べかなり小さいものでなければならなくなる。

【0016】(3) 第2の問題点と同じ原因により半導体素子の電極部からの引き出しが同一方向から行うことにより、電極部数が増大すると接続を行う金ワイヤーの密度が高くなって金ワイヤーがショートしたり、ワイヤーボンディング中にキャビラリと干渉して断線する。

【0017】また、同一方向に引き出されるため、接続される基板やリードフレームの半導体素子電極部と接続する接続用電極部(ワイヤーボンディングのセカンド側)の密度が高くなり、多ピン化に対応することが難しい。

【0018】(4) リードフレームあるいは、基板の両面に半導体素子をマウントする構造の場合、半導体素子の接続するためのワイヤーボンディングを両面で行わなければならないが、この場合には、反対面のワイヤーボンディングを行う際に最初に形成された金ワイヤーを避けて固定しなければならず、しっかりと固定することが難しくワイヤーボンディング接合時の超音波が逃げ安定した接合が行えなかったり、最初に張った金ワイヤーを変形させてしまう。

【0019】(5) 第1の半導体素子あるいは、基板上に第2の半導体素子を実装した後、第1の半導体素子を基板に接続する方法では、両者の不良率が掛け合わせになり、大幅な歩留まりの低下を発生させる。そのため、製造コストの上昇が避けられない。

【0020】(6) 従来の構造では、第2の半導体素子の基板(Siサブストレート)は、第1の半導体素子の能動領域上あるいは、フェイスダウン接続されていることから電気的に浮いている状態しかとることができず、回路的にアナログ要素を有する場合にノイズが乗りやすい。

【0021】(7) 第1の半導体素子の能動領域上に第2の半導体素子を実装されていることから、第1の半導体素子の発熱が第2の半導体素子に伝わりやすく、第2の半導体素子の動作保証温度範囲をきわめて小さなものとしてしまう。特に、第1、第2の半導体素子の能動領域が対向するような構造の場合には、お互いの発熱により動作温度範囲がより小さくなる。このことは、半導体素子が高速駆動できなくなることとを意味し、半導体素

子の高速高周波化ができなくなる。

【0022】(8)第1の半導体素子あるいは基板上にはんだ材を用いたフリップチップ実装で第2の半導体素子を接続し、第1の半導体素子をワイヤーボンディングで基板あるいはリードフレームと接続する場合、第1の半導体素子の第2の半導体素子との接続部は、はんだ材用にバリアメタル処理をする必要があり、さらに第1の半導体素子からの接続を行う部分には、金ワイヤーボンディング用の表面処理をしなければならず、1つの半導体素子電極上で異なる表面処理を行わなければならない、非常にコストアップする。

【0023】本発明が解決しようとする課題は、1枚の基板に複数の半導体素子を実装する従来の実装構造の欠点を解消し、任意のサイズの2つの半導体素子を自由に高密度に実装でき、さらに、それぞれの半導体素子の多ピン化に対応することが可能であり、さらに高速化が可能な半導体素子の実装構造を提供することにある。

【0024】

【課題を解決するための手段】本発明は、上記従来の実装構造の課題を解決するための本発明の半導体素子の実装構造は、配線された基板への半導体素子の実装構造において、少なくとも1以上の第1の半導体素子が、その電極部を基板に対向させる形で基板に設けられている接続用電極部と電気的に接続され、かつ、該第1の半導体素子の裏面上に、裏面同士が対向するように、少なくとも1以上の第2の半導体素子が搭載され、該第2の半導体素子の電極部と該基板の接続用電極部が電気的に接続されていることを特徴とするものである。

【0025】また、本発明の半導体素子の実装方法は、配線された基板に少なくとも1以上の第1の半導体素子をフェイスダウン方式で接続する工程と、第1の半導体素子の裏面に少なくとも1以上の第2の半導体素子を裏面同士が対向するように搭載する工程と、第2の半導体素子の電極部と基板の接続用電極部を接続する工程と、半導体素子と基板を樹脂により封止する工程を有することを特徴とするものである。

【0026】その詳細について以下に述べる。

【0027】

【発明の実施の形態】本発明の半導体素子の実装構造において、配線された基板へ少なくとも1以上の第1の半導体素子とその電極部を基板に対向させる形で基板に設けられている接続用電極部と電気的に接続する。すなわち、フェイスダウン方式で、第1の半導体素子を基板に接続するものである。

【0028】第1の半導体素子を基板にフェイスダウン方式で接続させる方法としては、様々な方式があるが、このフェイスダウン方式で接続させる方式については、限定されない。

【0029】フェイスダウン方式の1つとして、例えば第1の半導体素子電極部にバリアメタル層を蒸着または

スパッターにより形成し、その上にはんだバンプを同様に蒸着、スパッターにより形成した後、加熱工程を通すことで、電極上にはんだボールを形成させ、このはんだボールと基板の電極とが対向するように半導体素子を配置した後、再び加熱することで接合させる従来からあるフリップチップ実装がある。さらに、同系統の他の実装方法として半導体素子の電極部にワイヤーボンディング装置を改造した金ボール形成装置により金ボールのみを形成させる金スタッドバンプ法を用いた後、基板電極上にはんだ材を供給し、その上に金スタッドバンプが形成された半導体素子を配置し加熱工程を通すことで、金スタッドバンプと基板電極とをはんだ材により接続させる方法もある。

【0030】この場合、第1の半導体素子は、はんだボールあるいは金スタッドバンプにより基板より持ち上げられた形で接続されており、基板と第1の半導体素子の間には空間が生じる。そこで、接続部を補強し接続信頼性を得るため、この空間をアンダーフィル材と呼ばれる絶縁性の補強樹脂により充填する。

【0031】さらに、上述の金スタッドバンプあるいは、半導体素子がウェハー状態の段階で表面に導電性膜を形成し、その上にレジスト材を電極部以外に形成させた後、導電性膜を共通電極として電気メッキにより半導体素子電極上に金バンプを形成させるメッキバンプ付きの半導体素子と基板とを対向させ、その間に異方性導電膜を挟むかまたは異方性導電接着剤で接着し、加圧および加熱することで接続させる方法も使用してもよい。この場合には、異方性導電膜等の接着剤成分が第1の半導体素子と基板との間を密着することから上述のアンダーフィル材は、不要となる。

【0032】いずれの場合にしても、フェイスダウン方式で半導体素子電極部の表面処理を行うのは、第1の半導体素子のみであり、さらにその表面処理は一種類のみである。

【0033】第1の半導体素子に関しては、このようなフェイスダウン接続を行うことにより、基板に設けられた第1の半導体素子用の電極部は、素子の下であることから、第2の半導体用の電極部を設ける領域を圧迫することがなく、多ピンの半導体素子同士の接続が可能となる。

【0034】また、第1の半導体素子の接続部が外部に露出しないことから、製造工程中の破壊もなくなる。さらに、この第1の半導体素子が実装された状態で検査を行うことにより、第1の半導体素子の不良を選別でき、選別された良品部のみに第2の半導体素子を搭載できるようになり、製造歩留まりを大幅に向上させることが可能となる。

【0035】一方、第1の半導体素子の発熱に関しても、発熱源である能動領域が放熱方向の基板に非常に近い位置で実装されることから、放熱性に関しても有利で

10

20

30

40

50

あり、第2の半導体素子へ与える熱影響を小さくすることが可能となる。

【0036】次に、第2の半導体素子を第1の半導体素子の裏面上に第2の半導体素子の裏面が対向するように搭載するが、このとき、第1の半導体素子の能動領域は、フェイスダウンで実装されていることから第2の半導体素子をマウントする際第1の半導体素子を破壊することはない。

【0037】本発明における半導体素子の「裏面」とは、電極部が設けられた面の反対側の面を意味するものである。なお、以下、電極部を設けた面を「表面」と称する場合がある。

【0038】その際、両半導体素子は裏面同士の接着であることから、導電性粒子が入っている導電性接着剤であっても第1の半導体素子の表面保護膜を導電性粒子が突き破り、能動領域を破壊することはない、第2の半導体素子と第1の半導体素子の基板電位を同電位にすることも可能となる。

【0039】また裏面同士で両半導体素子を接着固定するため、第2の半導体素子は、第1の半導体素子の機能素子が作り込まれた面より大きい機能素子が作り込まれた面を有するものであってもよく、半導体素子の組み合わせの自由度は従来例に比べ高いものである。

【0040】さらに、裏面同士の接続であることから第1の半導体素子の多少の傾きであっても許容できることから、複数の半導体素子を第1の半導体素子としてフェイスダウン接続させ、その上に第2の半導体素子を乗せることが可能となる。

【0041】さらに言うなれば、裏面同士の接続のため第1の半導体素子の電極部に対しての第2の半導体素子のサイズ制約がなくなり、任意のサイズの第1の半導体素子と第2の半導体素子との組み合わせが可能となる。

【0042】その後、第2の半導体素子の電極部と基板の接続用電極部とをワイヤーボンディングにより電気的に接続させる。

【0043】このとき、ワイヤーボンディングされる面は、1面のみであることから固定が確実に行われ、超音波逃げによる接合不良は、発生することなく接合される。

【0044】このように第1、第2の半導体素子が接合された基板に、これら半導体素子を外界から保護するため、エポキシ樹脂からなる封止樹脂をポッティング法あるいは、トランスファーモールド法にて封止する。

【0045】その後、この基板上に複数の半導体パッケージや、受動部品を実装してもよいし、基板の裏面に接続用電極部を設けておき、はんだボールを設けたり、あるいは接続用電極部が露出する様にして、半導体パッケージとしてもよい。

【0046】

【実施例】実施例1

図1は、本発明による第1の実施例を示す模式的断面図である。同図において1は第1の半導体素子であるSiチップ、2は第1の半導体素子電極部上に設けられたはんだボール、3は第1の半導体素子を接着するアンダーフィル材、4は第2の半導体素子であるSiチップ、5は第2の半導体素子を第1の半導体素子裏面と接着するダイボンディング材、6は金ワイヤー、7は第1、第2の半導体素子と接続される電極部を有し配線が形成された基板、8は第1、第2の半導体素子の封止用樹脂である。

【0047】本実施例においては、まず配線が形成された厚さ0.1～0.8mmのプリント基板にはんだボール2がその電極部上に形成された厚さ0.20～0.40mmの第1の半導体素子1を基板7の電極部とはんだボール2とが対向する位置関係になるように位置決め後、はんだボールのはんだ材の融点以上の温度になるまで第1の半導体素子1と基板7とを加熱し、はんだボール2と基板7の電極部とを拡散接合させる。

【0048】このはんだボールは、第1の半導体素子電極部のピッチによりその大きさは変化するが、通常電極部ピッチの約半分(50～60%)の直径となる。例えば、電極部ピッチが200μmであれば、直径は100～120μmが1つの大きさの目安である。

【0049】さらに、はんだボールのはんだ材の組成としては、通常の共晶はんだであっても、それ以外の配分比のSnPb系はんだ、SnAg系はんだ、SnAgCu系はんだ、SnAgBi系はんだ等であってもかまわない。

【0050】次に、接合された第1の半導体素子1のはんだボール2の周囲に溶融時の酸化膜除去用のフラックス成分が残っているのを、洗浄しフラックス成分を除去した後、エポキシ系樹脂からなるアンダーフィル材3を第1の半導体素子1と基板7の間に流し込み、100～150℃程度に加熱し硬化させる。

【0051】次に、第1の半導体素子1の露出している裏面にダイボンディング接着剤5をディスペンサーにより塗布した後、厚さ0.20から0.40mmの第2の半導体素子4を裏面が対向するようにその上にマウントし、100～200℃に加熱し、ダイボンディング接着剤5を加熱硬化させる。

【0052】次に、第2の半導体素子4の表面にある電極部と基板7に設けられている接続用電極部とをφ20～30μmの金線を用いたワイヤーボンディングにより接続する。

【0053】その後、第1、第2の半導体素子と金ワイヤー6を保護するため、エポキシ系樹脂からなる封止樹脂をこれら周りにポッティング法により塗布した後加熱硬化させる。

【0054】その後、基板7の裏面に設けられた電極部にはんだボールを設けることで、1つの半導体パッケー

ジとする。

【0055】以上のような半導体素子の実装構造にすることで、得られた半導体パッケージは、小型で、多ピンの安定した接続と特性を得ることが可能であり、さらに第1の半導体素子は、高い熱放散性を有することから高速化が可能となる。

【0056】さらに、本実施例の半導体パッケージを2次実装であるメイン基板とはんだボール9を介して接続する構造であれば、メイン基板に占める実装面積が大幅に削減可能となり、製品の小型化に大きく貢献することが可能となる。

【0057】実施例2

図2は、本発明による第2の実施例を示す模式的断面図である。同図において1は第1の半導体素子であるSiチップ、2は第1の半導体素子電極部に設けられたはんだボール、3は第1の半導体素子を接着するアンダーフィル材、4は第2の半導体素子であるSiチップ、5は第2の半導体素子を第1の半導体素子裏面と接着するダイボンディング材、6は金ワイヤー、7は第1、第2の半導体素子と接続される電極部を有し配線が形成された基板、8は第1、第2の半導体素子の封止用樹脂である。第1の半導体素子1と第2の半導体素子4は、その裏面同士が対向するように固定されている。

【0058】本実施例においては、第1の半導体素子としてはロジック系のICであり、第2の半導体素子としてはメモリー系のICの場合を挙げることができる。本実施例では、ロジック系IC上にロジック系ICより大型のメモリー系ICが搭載されており、メモリー系ICの端部はロジック系ICよりはみ出している。すなわち、第2の半導体素子4が、第1の半導体素子1の機能素子が作り込まれた面より大きい機能素子が作り込まれた面を有するものであってもよい。

【0059】しかしながら、メモリー系ICは、ロジック系ICにしっかりとダイボンディング接着剤5により固定されているため、ワイヤーボンディングを行うことが可能であり、基板7の電極と金ワイヤー6により接続される。

【0060】また、メモリー系ICの電極部がチップ中心部に配置されるセンターパッド構造のときには、メモリー系ICを第1の半導体素子とし、その上にロジック系ICを搭載することも可能である。

【0061】つまり、本実施例による実装構造では、どちらの構造をとることも可能であり設計の自由度が高く、様々な半導体素子の組み合わせを行うことが可能である。

【0062】その他の効果は、実施例1と同じである。

【0063】実施例3

図3は、本発明による第3の実施例を示す模式的断面図である。同図において1は第1の半導体素子であるSiチップ、2は第1の半導体素子電極部に設けられたは

んだボール、3は第1の半導体素子を接着するアンダーフィル材、4は第2の半導体素子であるSiチップ、4'はもう1つの第2の半導体素子であるSiチップ、5は第2の半導体素子を第1の半導体素子裏面と接着するダイボンディング材、6は金ワイヤー、7は第1、第2の半導体素子と接続される電極部を有し配線が形成された基板、8は第1、第2の半導体素子の封止用樹脂である。第1の半導体素子1と第2の半導体素子4、4'は、その裏面同士が対向するように接着固定されている。

【0064】本実施例においては、第1の半導体素子1上に複数の第2の半導体素子4、4'が搭載されている。これは、第2の半導体素子を搭載する部分は、第1の半導体素子1の裏面であることから位置制約がないことから第1の半導体素子1の裏面の任意の位置に搭載可能であることから可能となる。

【0065】その他の効果については、実施例2と同様である。

【0066】実施例4

図4は、本発明による第3の実施例を示す模式的断面図である。同図において1は第1の半導体素子であるSiチップ、1'はもう1つの第1の半導体素子であるSiチップ、2は第1の半導体素子電極部に設けられたはんだボール、3は第1の半導体素子を接着するアンダーフィル材、4は第2の半導体素子であるSiチップ、5は第2の半導体素子を第1の半導体素子裏面と接着するダイボンディング材、6は金ワイヤー、7は第1、第2の半導体素子と接続される電極部を有し配線が形成された基板、8は第1、第2の半導体素子の封止用樹脂である。第1の半導体素子1、1'と第2の半導体素子4は、その裏面同士が対向するように接着固定されている。

【0067】本実施例においては、第1の半導体素子として複数のSiチップをフェイスダウンで実装し、その複数のチップ上に第2の半導体素子4をマウントする。

【0068】本実施例では、第1の半導体素子1、1'の接続後の高さばらつきが、チップのバックグランド精度 $\pm 30 \mu\text{m}$ でずれたとしても、塗布するダイボンディング接着剤の量を多くすることで高さ方向のばらつきを吸収できる様にすることが可能である。通常マウントされた第2の半導体素子4と第1の半導体素子との間の接着剤の厚みは、 $10 \sim 100 \mu\text{m}$ であり十分高さ方向のばらつきを吸収できる。これは、第2の半導体素子を固定するダイボンディング接着剤の流れに対して考慮しなくてよいからである。

【0069】その他の効果については、実施例1と同様である。

【0070】

【発明の効果】以上説明したように、本発明によれば、任意のサイズの2つの半導体素子を自由に高密度に実装

10

20

30

40

50

できる。さらに、それぞれの半導体素子の多ピン化に対応することが可能であり、さらに熱特性が良好であることから高速化が可能である。さらに、これら良好な特性を有する半導体装置を高品質で、かつ中間検査が可能であることから高歩留まりで製造することができるため、ローコストで提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す模式的断面図である。

【図2】本発明の第2の実施例を示す模式的断面図である。

【図3】本発明の第3の実施例を示す模式的断面図である。

【図4】本発明の第4の実施例を示す模式的断面図であ

る。

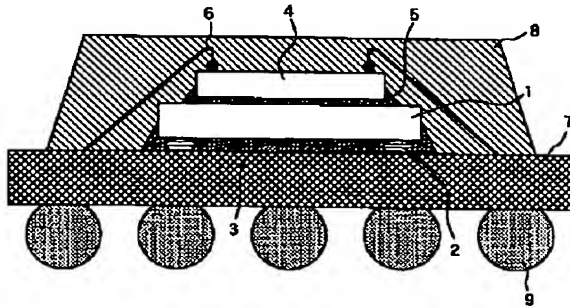
【図5】従来の接続構造を示す模式的断面図である。

【図6】従来の接続構造を示す模式的断面図である。

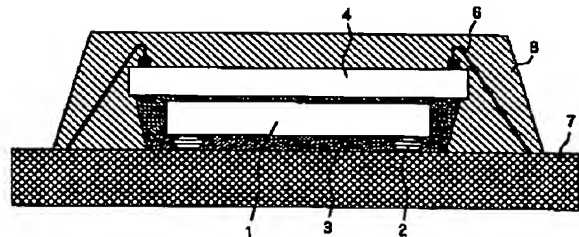
【符号の説明】

- 1 第1の半導体素子であるSiチップ
- 2 フリップチップ用のはんだボール
- 3 アンダーフィル材
- 4 第2の半導体素子であるSiチップ
- 5 ダイボンディング用接着剤
- 6 金ワイヤー
- 7 基板
- 8 封止樹脂
- 9 はんだボール

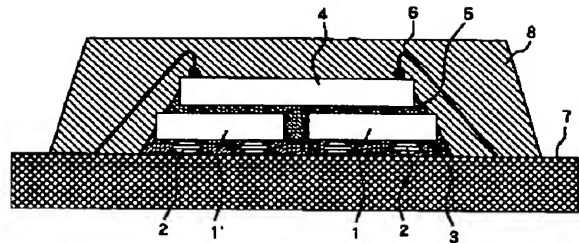
【図1】



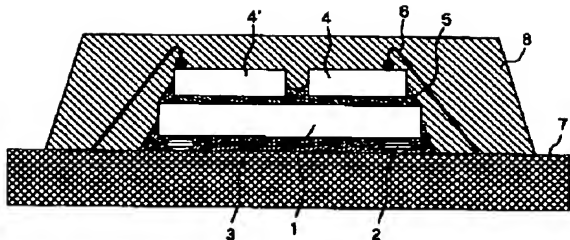
【図2】



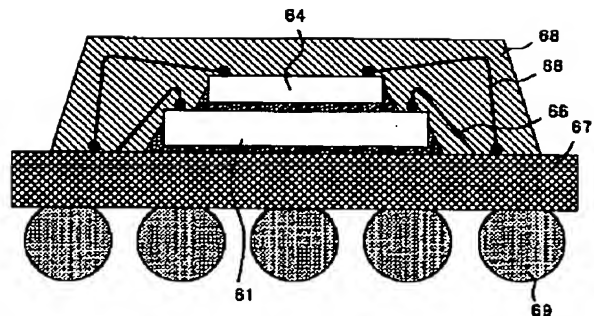
【図4】



【図3】



【図6】



【図5】

